

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-339037

(43)Date of publication of application : 07.12.2001

(51)Int.Cl.

H01L 25/04  
H01L 25/18  
H01L 21/60  
H01L 25/065  
H01L 25/07

(21)Application number : 2000-156785

(71)Applicant : MATSUSHITA ELECTRIC IND CO  
LTD

(22)Date of filing : 26.05.2000

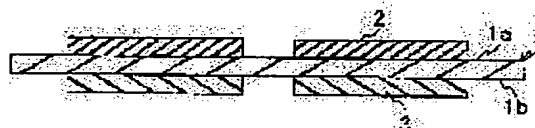
(72)Inventor : HAYASHI YOSHITAKE  
SUNAKAWA YOSHITAKA  
KANZAWA HIDEO  
SHIRAISHI TSUKASA  
YUHAKU SEI  
AMAMI KAZUYOSHI

## (54) MOUNTING STRUCTURE FOR SEMICONDUCTOR ELEMENT

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a both-surface mounting structure for semiconductor element which is improved in the connection reliability between a semiconductor element and a circuit board for repetitive thermal stresses.

SOLUTION: A semiconductor element 2 having the same size as another semiconductor element 3 mounted on one surface 1b of a circuit board 1 has is mounted oppositely to the element 3 on the other surface 1a of the board 1. Alternatively, a plurality of small-sized semiconductor elements are arranged oppositely to the element 3 on the other surface 1a so that the mounting area of the elements may become equal to that of the element 3. It is also possible to mold the outer peripheries of the small-sized semiconductor elements mounted on the surface 1a with a resin so that the mounting area of the elements may become equal to that of the element 3. Since the front and rear surfaces of the circuit board 1 are made in nearly same symmetrical structures in this way, the warping of the board 1 due to thermal stresses can be prevented.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-339037

(P2001-339037A)

(43) 公開日 平成13年12月7日 (2001.12.7)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L 25/04		H 0 1 L 21/60	3 1 1 S 5 F 0 4 4
25/18		25/04	Z
21/60	3 1 1	25/08	Z
25/065			
25/07			

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願2000-156785 (P2000-156785)

(22) 出願日 平成12年5月26日 (2000.5.26)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 林 祥剛

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 砂川 義隆

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100095555

弁理士 池内 寛幸 (外 5 名)

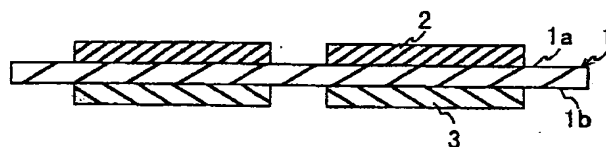
最終頁に続く

## (54) 【発明の名称】 半導体素子の実装構造体

## (57) 【要約】

【課題】 繰り返し熱応力に対して半導体素子と回路基板との接続信頼性が向上した半導体素子の両面実装構造体を提供する。

【解決手段】 回路基板1の一方の面1bに実装された半導体素子3と同じサイズの半導体素子2を他面1aに対向するように実装する。あるいは、半導体素子3と同じ実装領域となるように、他面1aに小サイズの複数の半導体素子に対向させて配置する。あるいは、半導体素子3と同じ実装領域となるように、他面1aに実装した小サイズの半導体素子の外周に樹脂モールドしてもよい。このように回路基板の表裏を略対称構造とすることで、熱応力に対する基板の反りを防止できる。



## 【特許請求の範囲】

【請求項1】 回路基板の表裏をなす第1面及び第2面の両方に半導体素子がベアチップ実装された実装構造体であって、

前記第1面に実装された第1の半導体素子と前記第2面に実装された第2の半導体素子とは外形サイズが略同一で、かつ前記第1の半導体素子と前記第2の半導体素子とが前記回路基板を挟んで対向するようにそれぞれ実装されていることを特徴とする半導体素子の実装構造体。

【請求項2】 前記第1の半導体素子と前記第2の半導体素子の寸法差が、長辺および短辺ともに2mm以下である請求項1に記載の半導体素子の実装構造体。

【請求項3】 回路基板の表裏をなす第1面及び第2面の両方に半導体素子がベアチップ実装された実装構造体であって、

前記第1面に実装された半導体素子の実装領域と略同一サイズとなるように、前記第2面に2個以上の半導体素子が配置されて実装されており、前記第1面に実装された半導体素子の実装領域と、前記第2面に実装された2個以上の半導体素子の実装領域とが前記回路基板を挟んで対向していることを特徴とする半導体素子の実装構造体。

【請求項4】 回路基板の表裏をなす第1面及び第2面の両方に半導体素子がベアチップ実装された実装構造体であって、

前記第1面に実装された第1の半導体素子の実装領域と略同一サイズとなるように、前記第2面に実装された第2の半導体素子の周囲に樹脂モールドがされており、前記第2の半導体素子の実装領域及び前記樹脂モールド領域の合計領域が前記第1の半導体素子の実装領域と前記回路基板を挟んで対向していることを特徴とする半導体素子の実装構造体。

【請求項5】 前記回路基板に実装される半導体素子の少なくとも1個以上はフェースダウンによるフリップチップ実装により実装されている請求項1～4のいずれかに記載の半導体素子の実装構造体。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体素子の実装構造体に関し、特に、回路基板の両面の同一場所にベアチップ実装を行った半導体素子の実装構造体に関するものである。

## 【0002】

【従来の技術】半導体プロセスの微細化技術の進化に伴い、メモリー素子の高容量化が進んでいる。そのような背景のもと記録媒体として従来から使われている磁気記録や光記録に替わって、一部にフラッシュメモリーのような固体メモリーが使われだしている。これらの応用例としてICカードやデジタルカメラなどのメモリーカードが有り、さらにはセキュリティー機能を持ったSD

(Secure Digital)カードなどが広まろうとしている。このようなメモリーカードは音楽情報などを記録するため今後益々大容量化が要望されている。

【0003】メモリーカードは小型で薄いため、この中に高容量メモリーを収容するためには半導体の実装も3次元実装や両面ベアチップ実装のような形態が必要とされる。

【0004】以下前記両面ベアチップ実装技術を用いて半導体素子を実装した実装構造体の一例(例えば、特開昭63-275127号公報参照)について図5および図6に基づき説明する。

【0005】図5は従来の2段突起バンプを用いたフリップチップ実装技術による半導体素子の実装構造体を示す断面図であり、図6は前記フリップチップ実装技術を用いて回路基板の両面に半導体素子を実装した構造体の断面図である。なお、図5および図6において、同一部分には同一符号を付している。

【0006】図5に示す実装構造体は以下のようにして得られる。まず、半導体素子102に形成された電極パッド(図示せず)の上にワイヤーボンディング技術によって2段突起バンプ105を形成し、この先端部を平坦化する。そして、半導体素子102の2段突起バンプ部分に導電性接着剤106を転写塗布する。他方、回路基板101の主面上には配線パターンおよび電極端子104が形成される。回路基板101の電極端子104上に半導体素子102の2段突起バンプ105が当接するように、半導体素子102を回路基板101上に載置する。そして導電性接着剤106を硬化させることで、半導体素子102のバンプ105と回路基板の電極端子104とが電氣的に接続される。その後、半導体素子102と回路基板101との隙間部に絶縁樹脂107を充填することで、図5に示すような実装構造体を得られる。

【0007】図6は、メモリーカード用として図5のような半導体素子の実装構造を用いて、回路基板の両面に半導体素子を実装した場合の一例を示している。回路基板101は多層基板で厚みが0.35mmである。回路基板101の第1面101aには、6×6×0.3mm(縦×横×厚さ、以下同様)の半導体素子102が2個フリップチップ実装されている。また、回路基板101の第2面101bには13×10×0.3mmの半導体素子103が2個フリップチップ実装されている。その他の面実装部品が実装された後、外装ケース(図示せず)に収められカードが完成する。この時のカード厚みは約2mmである。

## 【0008】

【発明が解決しようとする課題】しかし、上記のような構成では、繰り返し熱歪みが生じた場合に、半導体素子102、103と回路基板101との熱膨張係数差(通常、半導体素子の熱膨張係数は回路基板の熱膨張係数よりも小さい)により回路基板と半導体素子に反りが生じる。回路基板の片面だけに半導体素子の実装されている

場合、半導体素子の反りと追従して回路基板に反りが生じ応力解放が行われる。しかしながら、図6に示す様な実装構造では、高温環境下では回路基板101が伸びようとする力が半導体素子103により抑制されて、回路基板101に凸状の反りが発生し、半導体素子102を引き剥がすような方向の応力が生じる。

【0009】また、低温環境下では回路基板101が縮もうとする力が半導体素子103により抑制されて、回路基板101に凹状の反りが発生しようとする。しかしながら、半導体素子102がこのような凹状の反りを阻害するため、回路基板101には半導体素子102のエッジ部が支点となる局所的な曲げ応力が発生する。

【0010】以上の応力は何れの半導体素子においても、回路基板と半導体素子の電気的接続部に悪影響を与える。

【0011】図7に、図6の実装構造体に対して液相熱衝撃試験（-55℃～+125℃各5分）を行った時の接続抵抗の変化率を示す。試験は、実装構造体を-55℃の液中に5分浸漬した後、125℃の液中に5分浸漬するという操作を1サイクルとし、これを繰り返して行った。図7の縦軸は、第1面及び第2面の半導体素子102、103について、回路基板との接続抵抗の増加量を試験前の初期抵抗値に対する比率（%）で示している。黒丸「●」は第1面1aの半導体素子102についての結果を示し、白丸「○」は第2面1bの半導体素子103についての結果を示す。図7から明らかなように、図6に示す従来の半導体素子の実装構造では熱衝撃に対する接続信頼性が悪いという問題を有している。

【0012】そこで、本発明は、接続信頼性が高い両面ベアチップ実装構造体を提供することを目的とする。

【0013】

【課題を解決するための手段】上記の目的を達成するために本発明は以下の構成とする。

【0014】本発明の第1の実装構造体は、回路基板の表裏をなす第1面及び第2面の両方に半導体素子がベアチップ実装された実装構造体であって、前記第1面に実装された第1の半導体素子と前記第2面に実装された第2の半導体素子とは外形サイズが略同一で、かつ前記第1の半導体素子と前記第2の半導体素子とが前記回路基板を挟んで対向するようにそれぞれ実装されていることを特徴とする。ここで、半導体素子の「外形サイズ」とは回路基板の実装面の法線方向から見たときの平面外形の大きさを意味する。また、第1の半導体素子と第2の半導体素子とが回路基板を挟んで「対向する」とは、回路基板の実装面の法線方向から透視したとき略同一サイズの表裏の半導体素子の実装領域が略一致すること、即ち、回路基板上の2次元座標において両半導体素子が略同一座標に実装されていることを意味する。

【0015】このように回路基板の両面に同形状、同サ

イズの半導体素子を実装することにより、熱応力が加わっても表裏でバランスが取れ反りが発生しない。このため、回路基板の法線方向の引き剥がし応力が半導体素子に働かないため回路基板と半導体素子の接続部にダメージを受けにくくなる。また、表裏の半導体素子は略同一サイズであるから、図6に示したような小さい方の半導体素子のエッジ部が支点となるような曲げ応力も生じない。以上により信頼性の高い実装構造体を得られる。

【0016】上記第1の実装構造体において、回路基板の第1面に実装される第1の半導体素子と第2面に実装される第2の半導体素子との寸法差は2mm以下であることが好ましい。但し、前記寸法差は、回路基板の剛性や熱膨張係数および半導体素子の厚みによって異なる。例えば、回路基板がセラミック基板のような低熱膨張係数で剛性の高い基板であれば、両半導体素子の寸法差が上記の好ましい範囲を超えていても差し支えない場合もある。

【0017】しかしながら、メモリーカードのような厚みが規定されているような構造では、回路基板および半導体素子として必然的に厚みが薄いものが要求される。このような場合には半導体素子の寸法差が重要な因子となる。樹脂性回路基板の厚みが0.03～0.8mm、半導体素子の厚みが0.03～0.6mm程度の組み合わせにおいては、両面の半導体素子の寸法差を2mm以下（片側1mm以下）に規定することによって、熱応力が加わっても、剥離させる力や局所的な曲げ応力が軽減され信頼性が大幅に向上する。

【0018】本発明の第2の実装構造体は、回路基板の表裏をなす第1面及び第2面の両方に半導体素子がベアチップ実装された実装構造体であって、前記第1面に実装された半導体素子の実装領域と略同一サイズとなるように、前記第2面に2個以上の半導体素子が配置されて実装されており、前記第1面に実装された半導体素子の実装領域と、前記第2面に実装された2個以上の半導体素子の実装領域とが前記回路基板を挟んで対向していることを特徴とする。

【0019】即ち、第2面の半導体素子の外形サイズが第1面の半導体素子の外形サイズより小さい場合、大サイズの半導体素子の実装領域と略同一の形状になるように、第2面に複数個の小サイズの半導体素子を組み合わせ配置する。そして、第1面の半導体素子の実装領域と、第2面の組み合わせ配置された複数の半導体素子の全体としての実装領域とを対向させる。これにより、熱応力に対する表裏のバランスがとれ、反りが生じにくくなる。この結果、回路基板と半導体素子の電気的接続部の信頼性が向上する。

【0020】本発明の第3の実装構造体は、回路基板の表裏をなす第1面及び第2面の両方に半導体素子がベアチップ実装された実装構造体であって、前記第1面に実装された第1の半導体素子の実装領域と略同一サイズと

なるように、前記第2面に実装された第2の半導体素子の周囲に樹脂モールドがされており、前記第2の半導体素子の実装領域及び前記樹脂モールド領域の合計領域が前記第1の半導体素子の実装領域と前記回路基板を挟んで対向していることを特徴とする。

【0021】即ち、第2面の半導体素子の外形サイズが第1面の半導体素子の外形サイズより小さい場合、第1面の半導体素子の外形サイズに合わせて、第2面の半導体素子の周囲に樹脂をモールドする。このようにすれば、樹脂モールド部によって擬似的に半導体素子のサイズが拡大され、両面に同一サイズの半導体素子を対向して実装したのと略同一の状態を実現することができる。これにより、熱応力に対する表裏のバランスがとれ、反りが生じにくくなる。この結果、回路基板と半導体素子の電気的接続部の信頼性が向上する。

【0022】ここで、樹脂モールド材料としては、低熱膨張係数材料が好ましく、特に半導体素子材料(シリコンウエハーなど)と近似している材料が好ましい。具体的には、ガラス繊維やシリカ粒子を含有させたエポキシ樹脂などである。

【0023】

【発明の実施の形態】(第1の実施形態)本発明の実施の形態1に係る半導体素子の実装構造体について、図1および図2に基づき説明する。図1は、本実施の形態における半導体素子の両面実装構造体の断面図であり、図2は熱衝撃試験における抵抗値変化を示した図である。

【0024】図1に示すように、ガラス繊維又はアラミド繊維とエポキシ樹脂とで構成された0.35mm厚の樹脂多層回路基板1の第1面1aに、13×10×0.3mmの半導体素子2をSBB(Stud Bump Bonding)やACF(Anisotropic Conductive Film)等のフリップチップ実装技術を用いて実装する。続いて、その裏面である第2面1bに半導体素子2と同形状の半導体素子3を同様に実装する。半導体素子2と半導体素子3とは、対向するように、即ち、回路基板1の面内に2次元座標軸を設定した場合に両半導体素子2、3が同一座標となるように実装される。

【0025】なお、上記の半導体素子の実装体構造において、実装形態としては、フリップチップ実装ではなく、フェースアップによるベアチップ実装でもかまわない。

【0026】本発明において、両面に実装される半導体素子2、3の寸法差は、短辺および長辺ともに2mm以下であることが好ましく、特に好ましくは同じサイズである。また、同じサイズであっても両面の実装位置のオフセット量は1mm以下が好ましい。

【0027】既述のように、半導体素子の実装構造体に熱ストレスが生じた場合に回路基板と半導体素子の熱膨張係数の違いにより、回路基板に反りを発生させようとするが、本実施の形態の半導体素子の実装構造体では、

回路基板に対する両面の半導体素子の実装構成が同じであるため、応力バランスがとれ、基板の法線方向の反りが抑制される。このことにより回路基板と半導体素子との電気的接続部の信頼性が向上する。また、半導体素子のサイズが異なる場合は、小さい方の半導体素子のエッジが支点になるような局部的な曲げ応力が発生するが、本実施の形態ではこのような曲げ応力も発生せず、電気的接続部や半導体素子へのダメージも減少し信頼性が大幅に向上する。

【0028】図2は、上記の例で作製した半導体素子の実装構造体に対して液相熱衝撃試験(−55℃〜+125℃各5分)を行った時の接続抵抗の変化率を示す。試験方法は図7について説明したのと同様である。図2において黒丸「●」は第1面1aの半導体素子2についての結果を示し、白丸「○」は第2面1bの半導体素子3についての結果を示す。図示したように、熱衝撃が繰り返して付与されても、接続抵抗値はほとんど変化していない。

【0029】(第2の実施形態)本発明の実施の形態2に係る半導体素子の実装構造体について、図3に基づき説明する。図3は、本実施の形態における半導体素子の両面実装構造体を示す断面図である。なお、この例において、特に示さない限り、構成や実装方法等は、前述の実施の形態1と同じである。

【0030】図3に示すように、回路基板1の第2面1bに13×10×0.3mmの半導体素子3が実装されている。また、回路基板1の第1面1aには、6×10×0.3mmの半導体素子4、5が1mmの隙間を設けて実装されている。即ち、小さい半導体素子4、5を上記のように隙間をあけて配置することで、これら全体の外形サイズは、大きい半導体素子3の外形サイズと一致している。そして、小さい半導体素子4、5全体と大きい半導体素子3とが対向している。

【0031】本実施の形態において、大きい半導体素子の実装領域と一致させるための小さい半導体素子の構成数は2個に限らずそれ以上であってもよい。小さい半導体素子(例えば、上記の半導体素子4と半導体素子5)間の隙間は2mm以下が好ましく、特に好ましくは1mm以下である。また、第2面1bに実装される大きい半導体素子3の平面外形サイズと第1面1aに実装される複数の半導体素子(例えば、上記の半導体素子4と半導体素子5)の全体の平面外形サイズとの差は、短辺および長辺ともに2mm以下であることが好ましく、同じであることが特に好ましい。また、同じサイズであっても両面の実装位置のオフセット量は1mm以下が好ましい。

【0032】既述のように、半導体素子の実装構造体に熱ストレスが生じた場合に回路基板と半導体素子の熱膨張係数の違いにより、回路基板に反りを発生させようとするが、本実施の形態の半導体素子の実装構造体では、回路基板の両面の半導体素子の実装領域のサイズが近似

しかつ対向しているため、応力バランスがとれ、基板の法線方向の反りが抑制される。このことにより回路基板と半導体素子との電気的接続部の信頼性が向上する。

【0033】なお、上記とは逆に、第1面1aに大サイズの半導体素子が実装され、第2面1bに小サイズの半導体素子が複数個実装される構成であってもよい。

【0034】(第3の実施形態) 本発明の実施の形態3に係る半導体素子の実装構造体について、図4に基づき説明する。図4は、本実施の形態における半導体素子の両面実装構造体を示す断面図である。なお、この例において、特に示さない限り、構成や実装方法等は、前述の実施の形態1と同じである。

【0035】図4に示すように、回路基板1の第2面1bに13×10×0.3mmの半導体素子3が実装されている。また、回路基板1の第1面1aには、半導体素子3より小さい6×10×0.3mmの半導体素子6が実装されている。更に、半導体素子6の外周は、半導体素子3の平面外形形状に合わせて、かつ半導体素子3と対向するように樹脂モールドされている。

【0036】半導体素子6をモールドする手段としては、樹脂を滴下してモールドする方法、周辺に土手を印刷やディスペンスによって形成後モールド樹脂を流し込む方法、インジェクションモールド法、又はトランスファーモールド法等がある。モールド樹脂としては、半導体素子に近い熱膨張係数をもった材料が好ましい。図4の例では、半導体素子3の外形形状に合わせてエポキシ樹脂にて土手7を印刷形成後、土手7の中央に半導体素子6を実装して加熱硬化後、ガラスフィラーやシリカ粒子を含有したエポキシ樹脂8を半導体素子6と土手7との間に充填して加熱硬化させている。

【0037】既述のように、半導体素子の実装構造体に熱ストレスが生じた場合に回路基板と半導体素子の熱膨張係数の違いにより、回路基板に反りを発生させようとするが、本実施の形態の半導体素子の実装構造体では、回路基板の両面の半導体素子の実装領域のサイズが概似的に近似しかつ対向しているため、応力バランスがとれ、基板の法線方向の反りが抑制される。このことにより回路基板と半導体素子との電気的接続部の信頼性が向上する。

【0038】なお、上記とは逆に、第1面1aに大サイズの半導体素子が実装され、第2面1bに樹脂モールドされた小サイズの半導体素子が実装される構成であって

もよい。

【0039】

【発明の効果】以上のように本発明の半導体素子の両面実装構造体は、一方の面に実装された半導体素子と同じサイズの半導体素子他面の対向する位置に実装するか、一方の面に実装された大サイズの半導体素子の外形形状に合致するように複数個の小サイズの半導体素子他面の対向する位置に配置して実装するか、あるいは、一方の面に実装された大サイズの半導体素子の外形形状に合致するように小サイズの半導体素子の周辺に樹脂モールドして擬似的にサイズを合わせて他面の対向する位置に実装することにより、表裏を略対称とすることができ、熱応力が生じた際に回路基板と半導体素子の熱膨張係数差によって生じる反りの発生が少なくなる。このことにより回路基板と半導体素子の電気的接続部の信頼性および半導体素子の信頼性が大幅に向上する。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係る半導体素子の実装構造体の断面図である。

【図2】本発明の実施の形態1に係る半導体素子の実装構造体の信頼性評価結果を示した図である。

【図3】本発明の実施の形態2に係る半導体素子の実装構造体の断面図である。

【図4】本発明の実施の形態3に係る半導体素子の実装構造体の断面図である。

【図5】導電性導電性接着剤を用いたフリップチップ実装構造を示す断面図である。

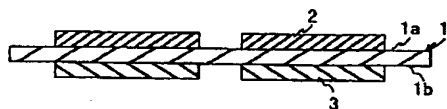
【図6】従来の半導体素子の実装構造体の一例を示す断面図である。

【図7】従来の半導体素子の実装構造体の信頼性評価結果を示した図である。

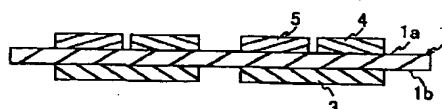
【符号の説明】

- 1 回路基板
- 2, 3, 4, 5, 6 半導体素子
- 7 土手
- 8 モールド樹脂
- 101 回路基板
- 102 半導体素子
- 104 回路基板上電極端子
- 105 2段突起パンプ
- 106 導電性接着剤
- 107 絶縁樹脂

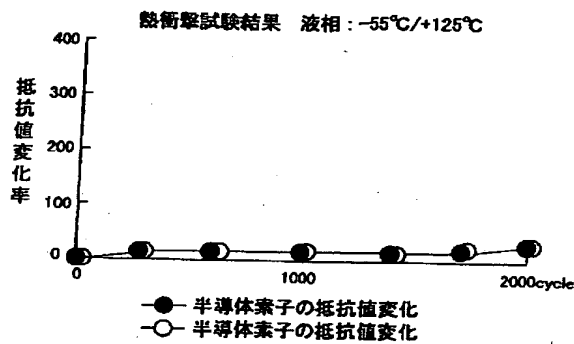
【図1】



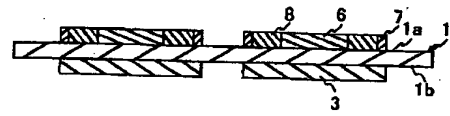
【図3】



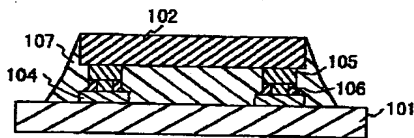
【 図2 】



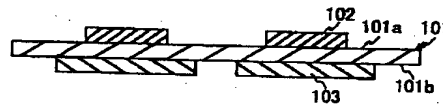
【 図4 】



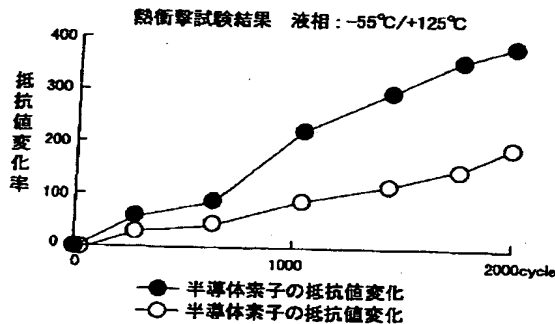
【 図5 】



【 図6 】



【 図7 】



フロントページの続き

(72)発明者 神澤 英雄  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72)発明者 白石 司  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 祐伯 聖  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72)発明者 天見 和由  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

Fターム(参考) 5F044 KK02 KK04 QQ00 RR01